

PAT-NO: JP408055979A
DOCUMENT-IDENTIFIER: JP 08055979 A
TITLE: HETERO JUNCTION FIELD-EFFECT
TRANSISTOR
PUBN-DATE: February 27, 1996

INVENTOR-INFORMATION:
NAME
ANDO, YUJI

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP06192356

APPL-DATE: August 16, 1994

INT-CL (IPC): H01L029/778, H01L021/338 , H01L029/812

ABSTRACT:

PURPOSE: To provide an FET wherein good ohmic contact can be formed by nonalloy by reducing a contact resistance through an InAlAs layer without lowering sheet carrier concentration in an InAlAs/InGaAs hetero junction FET.

CONSTITUTION: A lamination structure of a nondoped InAlAs buffer layer, a nondoped InGaAs channel layer 2 wherein two-dimensional electron gas is stored, InAlAs electron supply layers 3, 4, 5 including an n-type layer, a nondoped InAlAs Schottky layer 6, a first cap layer 7 of n-type InAlAs, a second cap layer 8 and a third cap layer 9 of n-type InGaAs is formed

on a semiinsulating
InP substrate 10. If nondoped Inlays or n-type In(AlGa)As
is adopted for the
second cap layer 8, potential barrier in a cap layer
interface lowers and
contact resistivity between a gap layer and a channel layer
can be reduced to a
 $10^{-7} \Omega \text{cm}^2$ mark.

COPYRIGHT: (C)1996,JPO

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the heterojunction field-effect transistor (it abbreviates to FET Field-Effect Transistor and the following) applied to a millimeter wave microwave transceiver system or a high-speed digital circuit.

[0002]

[Description of the Prior Art] Drawing 9 is structural drawing of heterojunction FET by the Prior art. such heterojunction FET -- Akasaki and others [for example,] (T. Akazaki) -- the [U.S. electrical-and-electric-equipment electronic engineer society (IEEE) electron device Letters (ElectronDevice Lett.) and] -- it is reported in EDL-13 volume, 325 pages, and 1992

[0003] In drawing 10 A half-insulation (it abbreviates to Semi-insulating and following S.I.) InP substrate, The non dope InAlAs layer from which 91 constitutes a buffer layer, the non dope InGaAs layer from which 92 constitutes a channel layer, The non dope InAlAs layer from which 93 constitutes a spacer layer, and 94 Si planar dope layer, The n form InAlAs layer from which 95 constitutes an electronic supply layer, the non dope InAlAs layer from which 96 constitutes a Schottky layer, and 97 and 99 are cap layers, and it is respectively constituted by the n form InAlAs layer and the n form InGaAs layer. On the n form InGaAs cap layer 99, source electrode 11S and drain electrode 11D is formed of vacuum evaporation, and ohm nature contact in the channel layer 92 is taken. Moreover, the gate electrode 12 is formed of vacuum evaporation on the Schottky layer 96 front face exposed to the field inserted into source electrode 11S and drain electrode 11D by carrying out etching removal of a part of epitaxial layer.

[0004] The conduction band profile between the n form InGaAs cap layer 99 of such heterojunction FET and the non dope InAlAs buffer layer 91 is shown in drawing 10 . In such heterojunction FET, since it has the n form InAlAs layer 97 between the non dope InAlAs Schottky layer 96 and the n form InGaAs cap layer 99 and the potential barrier accompanying the conduction band discontinuity in a cap layer interface becomes a parabolic, it is possible for the tunnel current which efficiency barrier thickness was reduced compared with the case where the n-InGaAs layer 99 is formed in contact with the non dope InAlAs layer 96, and minded the InAlAs layer to become easy to flow, and to take ohmic contact with a non alloy.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-55979

(43)公開日 平成8年(1996)2月27日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/778 21/338 29/812		9171-4M	H 0 1 L 29/ 80	H

審査請求 有 請求項の数3 O L (全 8 頁)

(21)出願番号 特願平6-192356

(22)出願日 平成6年(1994)8月16日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 安藤 裕二

東京都港区芝五丁目7番1号 日本電気株式会社内

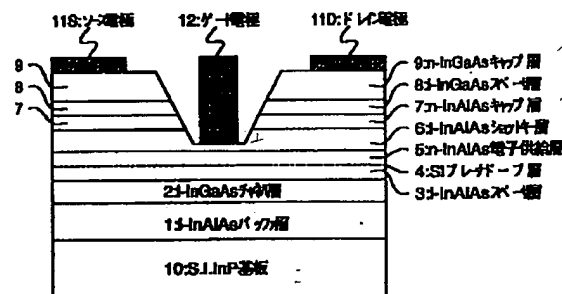
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 ヘテロ接合電界効果トランジスタ

(57)【要約】

【目的】 InAlAs/InGaAs系のヘテロ接合FETにおいて、シートキャリア濃度を低下させることなくInAlAs層を介した接触抵抗を低減し、ノンアロイで良好なオーミック接触を形成できるFETを提供する。

【構成】 半絶縁性InP基板10上に、ノンドープInAlAsバッファ層、二次元電子ガスが蓄積されるノンドープInGaAsチャネル層2、n形層を含むInAlAs電子供給層3、4、5、ノンドープInAlAsショットキー層6、n形InAlAsの第一のキャップ層7、第二のキャップ層8、n形InGaAsの第三のキャップ層9の積層構造とする。第二のキャップ層8にノンドープInGaAsまたはn形In(AI Ga)Asを採用すれば、キャップ層界面でのポテンシャルバリアが低下しキャップ層とチャネル層間の接触抵抗率を $10^{-7}\Omega\text{cm}^2$ 台にまで低減できる。



【特許請求の範囲】

【請求項1】半絶縁性InP基板上に、ノンドープInAlAsバッファ層、二次元電子ガスが蓄積されるノンドープInGaAsチャネル層、少なくとも一層のn形層を含むInAlAs電子供給層、ノンドープInAlAsショットキー層、キャップ層が順次形成された多層ヘテロ構造と、前記キャップ層に接触するソース電極およびドレイン電極と、該ソース電極およびドレイン電極に挟まれて前記ノンドープInAlAsショットキー層に接触するゲート電極とを具備するヘテロ接合電界効果トランジスタであって、前記キャップ層が少なくとも一層のn形層を含むInAlAsからなる第一のキャップ層、ノンドープInGaAsからなる第二のキャップ層、n形InGaAsからなる第三のキャップ層の積層構造であると共に前記第二のキャップ層の膜厚を3nm以上10nm以下とすることを特徴とするヘテロ接合電界効果トランジスタ。

【請求項2】半絶縁性InP基板上に、ノンドープInAlAsバッファ層、二次元電子ガスが蓄積されるノンドープInGaAsチャネル層、少なくとも一層のn形層を含むInAlAs電子供給層、ノンドープInAlAsショットキー層、キャップ層が順次形成された多層ヘテロ構造と、前記キャップ層に接触するソース電極およびドレイン電極と、該ソース電極およびドレイン電極に挟まれて前記ノンドープInAlAsショットキー層に接触するゲート電極とを具備するヘテロ接合電界効果トランジスタであって、前記キャップ層が少なくとも一層のn形層を含むInAlAsからなる第一のキャップ層、n形In(Al_yGa_{1-y})As(0<y<1)からなる第二のキャップ層、n形InGaAsからなる第三のキャップ層の積層構造であることを特徴とするヘテロ接合電界効果トランジスタ。

【請求項3】半絶縁性InP基板上に、ノンドープInAlAsバッファ層、二次元電子ガスが蓄積されるノンドープInGaAsチャネル層、少なくとも一層のn形層を含むInAlAs電子供給層、ノンドープInAlAsショットキー層、キャップ層が順次形成された多層ヘテロ構造と、前記キャップ層に接触するソース電極およびドレイン電極と、該ソース電極およびドレイン電極に挟まれて前記ノンドープInAlAsショットキー層に接触するゲート電極とを具備するヘテロ接合電界効果トランジスタであって、前記キャップ層が少なくとも一層のn形層を含むInAlAsからなる第一のキャップ層、n形In(Al_yGa_{1-y})Asからなる第二のキャップ層、n形InGaAsからなる第三のキャップ層の積層構造であると共に前記第二のキャップ層のAl組成比yは前記第一のキャップ層から前記第三のキャップ層に向かうと共に1から0に徐々に減少することを特徴とするヘテロ接合電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はミリ波マイクロ波送受信システムや高速デジタル回路に応用されるヘテロ接合電界効果トランジスタ(Field-Effect Transistor、以下、FETと略する)に関する。

【0002】

【従来の技術】図9は従来の技術によるヘテロ接合FETの構造図である。このようなヘテロ接合FETは、例えば、赤崎(T. Akazaki)らによって米国電気電子技術者学会(IEEE)エレクトロン・デバイス・レターズ(Electron Device Lett.)、第EDL-13巻、325頁、1992年に報告されている。

【0003】図において、10は半絶縁性(Semi-insulating、以下S. I. と略する)InP基板、91はバッファ層を構成するノンドープInAlAs層、92はチャネル層を構成するノンドープInGaAs層、93はスペーサ層を構成するノンドープInAlAs層、94はSiプレーナドープ層、95は電子供給層を構成するn形InAlAs層、96はショットキー層を構成するノンドープInAlAs層、97と99はキャップ層であり各々n形InAlAs層、n形InGaAs層によって構成されている。n形InGaAsキャップ層99上にはソース電極11Sとドレイン電極11Dが蒸着により形成されチャネル層92とのオーミック接触をとってある。また、ソース電極11Sとドレイン電極11Dに挟まれた領域にはエピタキシャル層の一部をエッチング除去して露出されたショットキー層96表面上にゲート電極12が蒸着により形成されている。

【0004】このようなヘテロ接合FETのn形InGaAsキャップ層99とノンドープInAlAsバッファ層91の間における伝導帯プロファイルを図10に示す。このようなヘテロ接合FETではノンドープInAlAsショットキー層96とn形InGaAsキャップ層99の間にn形InAlAs層97を有するためキャップ層界面における伝導帯不連続に伴うポテンシャルバリアが放物線状になるため、ノンドープInAlAs層96に接してn-InGaAs層99を形成した場合と比べて実効的なバリア厚さが低減されInAlAs層を介したトンネル電流が流れ易くなりノンアロイでオーミック接触をとることが可能である。

【0005】

【発明が解決しようとする課題】従来技術によるヘテロ接合FETではn-InGaAs/n-InAlAs二層構造を有するキャップ層を設けることによってノンアロイオーミック接触を形成できた。しかしながら、InAlAs/InGaAsヘテロ界面における伝導帯不連続が約0.5eVと大きいため、InAlAs層97と

3

InGaAs層99の界面にポテンシャルバリアが形成され、キャップ層-チャネル層間の接触抵抗率(ρ_c)を十分には低減できなかった。一般に、低抵抗なキャップ層を有するヘテロ接合FETの接触抵抗(R_c)はチ*

$$R_c = (r_s \rho_c)^{0.5} \coth(d/L_r) \quad (1)$$

ここで、 d は電極の長さ、 $L_r \equiv (\rho_c / r_s)^{0.5}$ はトランスファー長である。通常、 d が L_r より十分長いので、 $R_c \approx (r_s \rho_c)^{0.5}$ となる。それ故、オーミック電極における ρ_c の増加は R_c の増大につながり、ソース抵抗、ドレイン抵抗が増大して電力利得や雑音指

【0007】本発明の目的は、InAlAs/InGaAs系のヘテロ接合FETにおいてキャップ層界面でのポテンシャルバリアを低下させることにより、キャリア濃度を低下させることなく即ち r_s を劣化することなく、 ρ_c を低下し素子の寄生抵抗を低減することである。

【0008】

【課題を解決するための手段】本発明によれば、半絶縁性InP基板上に、ノンドープInAlAsバッファ層、二次元電子ガスが蓄積されるノンドープInGaAsチャネル層、少なくとも一層のn形層を含むInAlAs電子供給層、ノンドープInAlAsショットキー層、キャップ層が順次形成された多層ヘテロ構造と、前記キャップ層に接触するソース電極およびドレイン電極と、該ソース電極およびドレイン電極に挟まれて前記ノンドープInAlAsショットキー層に接触するゲート電極とを具備するヘテロ接合電界効果トランジスタであって、前記キャップ層が少なくとも一層のn形層を含むInAlAsからなる第一のキャップ層、ノンドープInGaAsからなる第二のキャップ層、n形InGaAsからなる第三のキャップ層の積層構造であると共に前記第二のキャップ層の膜厚を3nm以上10nm以下とすることを特徴とするヘテロ接合電界効果トランジスタが得られる。

【0009】また、半絶縁性InP基板上に、ノンドープInAlAsバッファ層、二次元電子ガスが蓄積されるノンドープInGaAsチャネル層、少なくとも一層のn形層を含むInAlAs電子供給層、ノンドープInAlAsショットキー層、キャップ層が順次形成された多層ヘテロ構造と、前記キャップ層に接触するソース電極およびドレイン電極と、該ソース電極およびドレイン電極に挟まれて前記ノンドープInAlAsショットキー層に接触するゲート電極とを具備するヘテロ接合電界効果トランジスタであって、前記キャップ層が少なくとも一層のn形層を含むInAlAsからなる第一のキャップ層、n形In(Al_yGa_{1-y})As(0<y<1)からなる第二のキャップ層、n形InGaAsからなる第三のキャップ層の積層構造であることを特徴とするヘテロ接合電界効果トランジスタが得られる。

※50

4

*チャネル層のシート抵抗(r_s)と ρ_c を用いて次のように表される。

【0006】

(1)

※【0010】さらに、半絶縁性InP基板上に、ノンドープInAlAsバッファ層、二次元電子ガスが蓄積されるノンドープInGaAsチャネル層、少なくとも一層のn形層を含むInAlAs電子供給層、ノンドープInAlAsショットキー層、キャップ層が順次形成された多層ヘテロ構造と、前記キャップ層に接触するソース電極およびドレイン電極と、該ソース電極およびドレイン電極に挟まれて前記ノンドープInAlAsショットキー層に接触するゲート電極とを具備するヘテロ接合電界効果トランジスタであって、前記キャップ層が少なくとも一層のn形層を含むInAlAsからなる第一のキャップ層、n形In(Al_yGa_{1-y})Asからなる第二のキャップ層、n形InGaAsからなる第三のキャップ層の積層構造であると共に前記第二のキャップ層のAl組成比 y は前記第一のキャップ層から前記第三のキャップ層に向かうと共に1から0に徐々に減少する(連続的に減少してもよいし、段階的に減少してもよい)ことを特徴とするヘテロ接合電界効果トランジスタが得られる。

【0011】

【作用】不純物濃度が高くなり近接不純物原子同士が相互に影響し合うようになると、離散的な不純物準位が帯状になることが知られている。n形InGaAsでは不純物濃度が $5 \times 10^{17} \text{cm}^{-3}$ 程度以上からキャリア縮退が始まり、不純物バンドが形成される。それ故、n形InAlAs層97に接してn形InGaAs層99が設けられた従来のヘテロ接合FETでは、n形InGaAs層99のn形InAlAs層97とのヘテロ界面近傍に電子蓄積層が形成されても、n形InGaAs層99における状態密度の高い不純物バンドによってフェルミレベルがピンニングされてバンド湾曲が小さく、n形InAlAs層97におけるポテンシャルバリアが十分に降下しなかった。

【0012】そこで、本発明ではn形InAlAs層97(第一のキャップ層)とn形InGaAs層99(第三のキャップ層)との界面にノンドープInGaAsスペーサ層(第二のキャップ層)を挿入する。ノンドープInGaAsスペーサ層中には電子蓄積層が形成されるが、この層には不純物バンドが形成されないためフェルミレベルが上昇してバンドが湾曲し、ポテンシャルバリアの降下が助長され、InAlAs層を介したトンネル電流が流れ易くなる。ノンドープInGaAsスペーサ層の膜厚としては電子蓄積層の実効厚程度(3nm~10nm)が必要で、更に望ましくは5nm以上8nm以下であればよい。

5

【0013】また、本発明ではn形InAlAs層97（第一のキャップ層）とn形InGaAsキャップ層99（第三のキャップ層）との界面に中間組成のn形In(AlyGa1-y)As層(0<y<1)（第二のキャップ層）を挿入する。Al組成比yとして、更に望ましくは0.4以上0.6以下であればよい。In(AIGa)AsはInAlAsより電子親和力が小さく、InGaAsより電子親和力が小さいので、キャップ層界面に形成される伝導帯スパイクが小さくなってポテンシャルバリアが低下し、トンネル電流が流れ易くなる。

【0014】更に、第二のキャップ層をn形In(AlyGa1-y)As組成グレーディッド層として、第一のキャップ層から第三のキャップ層に向かうにしたがってAl組成比yを1から0に徐々に（連続的または段階的）に減少させてもよい。この場合には、InAlAs層とInGaAs層の間に伝導帯スパイクが存在せず、ポテンシャルバリアが更に低下するため、トンネル電流が更に流れ易くなる。

【0015】

【実施例】

（第一の実施例）図1は本発明によるヘテロ接合FET*

ノンドープInAlAs層1	…200nm、
ノンドープInGaAs層2	…40nm、
ノンドープInAlAs層3	…3nm、
Siプレーナドープ層4（シート濃度 $5 \times 10^{12}/\text{cm}^2$ ）	
n形InAlAs層5（不純物濃度 $2 \times 10^{18}/\text{cm}^3$ ）	…15nm、
ノンドープInAlAs層6	…20nm、
n形InAlAs層7（不純物濃度 $5 \times 10^{18}/\text{cm}^3$ ）	…20nm、
ノンドープInGaAs層8	…5nm、
n形InGaAs層9（不純物濃度 $5 \times 10^{18}/\text{cm}^3$ ）	…20nm、

を順次成長する。

【0017】次に、n形InGaAs層9上に例えばAuGe/Ni/Auなどの金属を蒸着することによりソース電極11Sとドレイン電極11Dを形成する。さらに、ソース電極11Sとドレイン電極11Dによって挟まれた領域には、例えば、電子ビーム（Electron Beam、以下EBと略する）露光法により形成したレジストパターンをマスクとしてエピタキシャル層の一部をエッチング除去することによりノンドープInAlAs層6表面を露出し、例えばTi/Pt/Auなどの

金属を蒸着することによってゲート電極12を形成する。このようにして、図1のようなヘテロ接合FETが作製される。

【0018】図2は本実施例のn形InGaAsキャップ層9とノンドープInAlAsバッファ層1の間における伝導帯プロファイルを示す（実線）。作用の項で述べたように、ノンドープInGaAs層8（第二のキャップ層）中には電子蓄積層が形成されるが、この層には不純物バンドが形成されないでフェルミレベルが上昇してバンドが湾曲し、第一のキャップ層7におけるポテ※50

6

*の第一の実施例の構造図である。図において、10はS. I. InP基板、1はバッファ層を構成するノンドープInAlAs層、2はチャネル層を構成するノンドープInGaAs層、3はスペーサ層を構成するノンドープInAlAs層、4はSiプレーナドープ層、5は電子供給層を構成するn形InAlAs層、6はショットキー層を構成するノンドープInAlAs層、7、8、9はキャップ層であり、各々n形InAlAs層（第一のキャップ層）、ノンドープInGaAs層（第二のキャップ層）、n形InGaAs層（第三のキャップ層）によって構成される。11S、11D、12は各々ソース電極、ドレイン電極、ゲート電極である。本実施例の特徴はn形InAlAsキャップ層7とn形InGaAsキャップ層9の界面にノンドープInGaAs層8を挿入したことである。

【0016】このようなヘテロ接合FETは以下のようにして作製される。（100）S. I. InP基板10上に例えば、分子線エピタキシャル（Molecular Beam Epitaxy、以下MBEと略する）成長法により、

※ンシャルバリアの降下が助長される。その結果、第二のキャップ層の無い従来のヘテロ接合FET（点線）と比べてInAlAs層を介したトンネル電流が流れ易くなる。

【0019】図3は本実施例において、第一のキャップ層7の膜厚を変えたときの室温におけるノンアロイ接触抵抗率（ ρ_c ）の変化を示す（実線）。点線で示したのは第二のキャップ層の無い従来技術においてn形InAlAs層97の膜厚を変えたときの結果である。第一のキャップ層の膜厚（ t_n ）の増加と共に ρ_c が低減され、 t_n が10nm以上では一定値に飽和する。 ρ_c の最小値は従来技術では $1.4 \times 10^{-6} \Omega \text{cm}^2$ であったのが、本発明によれば $9.0 \times 10^{-7} \Omega \text{cm}^2$ と約35%低下している。一方、ノンドープInGaAsチャネル層におけるシートキャリア濃度は何れの構造でも t_n の変化に対してほぼ一定に保たれ（ $\sim 3.6 \times 10^{12}/\text{cm}^2$ ）、シート抵抗（ r_s ）は両構造でほぼ同等になる。これらのことから、本実施例では r_s を増加させることなくノンアロイオーミック接触における ρ_c を一層低減でき、素子の寄生抵抗を低減できる。また、ノンド

7

ープInAlAs層6上にゲート電極を形成するためゲート耐圧も確保できる。

【0020】(第二の実施例)図4は本発明によるヘテロ接合FETの第二の実施例の構造図である。図において、10はS. I. InP基板、41はバッファ層を構成するノンドープInAlAs層、42はチャネル層を構成するノンドープInGaAs層、43はスペーサ層を構成するノンドープInAlAs層、44はSiプレーナドープ層、45は電子供給層を構成するn形InAlAs層、46はショットキー層を構成するノンドープInAlAs層、47、48、49はキャップ層であ

ノンドープInAlAs層41	…200nm、
ノンドープInGaAs層42	…40nm、
ノンドープInAlAs層43	…3nm、
Siプレーナドープ層44 (シート濃度 $5 \times 10^{12}/\text{cm}^2$)	
n形InAlAs層45 (不純物濃度 $2 \times 10^{18}/\text{cm}^3$)	…15nm、
ノンドープInAlAs層46	…20nm、
n形InAlAs層47 (不純物濃度 $5 \times 10^{18}/\text{cm}^3$)	…20nm、
n形In(Al _{0.5} Ga _{0.5})As層48 (不純物濃度 $5 \times 10^{18}/\text{cm}^3$)	…5nm、
n形InGaAs層49 (不純物濃度 $5 \times 10^{18}/\text{cm}^3$)	…20nm、

を順次成長する。

【0022】次に、n形InGaAs層49上に例えばAuGe/Ni/Auなどの金属を蒸着することによりソース電極11Sとドレイン電極11Dを形成する。さらに、ソース電極11Sとドレイン電極11Dによって挟まれた領域には、例えば、EB露光法により形成したレジスタパターンをマスクとしてエピタキシャル層の一部をエッチング除去することによりノンドープInAlAs層46表面を露出し、例えばTi/Pt/Auなどの金属を蒸着することによってゲート電極12を形成する。このようにして、図4のようなヘテロ接合FETが作製される。

【0023】図5は本実施例のn形InGaAsキャップ層49とノンドープInAlAsバッファ層41の間における伝導帯プロファイルを示す(実線)。作用の項で述べたように、In(AlGa)As層(第二のキャップ層)はInAlAs層(第一のキャップ層)より電子親和力が大きく、InGaAs層(第三のキャップ層)より電子親和力が小さいので、キャップ層界面に形成される伝導帯スパイクは第二のキャップ層が無い従来のヘテロ接合FET(点線)と比べて低下し、トンネル電流が流れ易くなる。

【0024】図6は本実施例において、第一のキャップ層47の膜厚を変えたときの室温におけるノンアロイ接触抵抗率(ρ_c)の変化を示す(実線)。点線で示したのは第二のキャップ層の無い従来技術においてn形InAlAs層97の膜厚を変えたときの結果である。第一のキャップ層の膜厚 t_n の増加と共に ρ_c が低減され、 t_n が10nm以上では一定値に飽和する。 ρ_c の最小値※50

8

※り、各々n形InAlAs層(第一のキャップ層)、n形In(AlGa)As層(第二のキャップ層)、n形InGaAs層(第三のキャップ層)によって構成される。11S、11D、12は各々ソース電極、ドレイン電極、ゲート電極である。本実施例の特徴はn形InAlAsキャップ層47とn形InGaAsキャップ層49の界面にn形In(AlGa)As中間組成層48を挿入したことである。

【0021】このようなヘテロ接合FETは以下のようにして作製される。(100)S. I. InP基板10上に例えば、MBE成長法により、

※は従来技術では $1.4 \times 10^{-6} \Omega \text{cm}^2$ であったのが、本発明によれば $5.5 \times 10^{-7} \Omega \text{cm}^2$ と約60%低下している。一方、ノンドープInGaAsチャネル層におけるシートキャリア濃度は何れの構造でも t_n の変化に対してほぼ一定に保たれ($\sim 3.6 \times 10^{12}/\text{cm}^2$)、シート抵抗(r_s)も両構造でほぼ同等になる。これらのことから、本実施例では r_s を増加させることなくノンアロイオーミック接触における ρ_c を一層低減でき、素子の寄生抵抗を低減できる。また、ノンドープInAlAs層46上にゲート電極を形成するためゲート耐圧も確保できる。

【0025】(第三の実施例)図7は本発明によるFETの第三の実施例の構造図である。図において、10はS. I. InP基板、71はバッファ層を構成するノンドープInAlAs層、72はチャネル層を構成するノンドープInGaAs層、73はスペーサ層を構成するノンドープInAlAs層、74はSiプレーナドープ層、75は電子供給層を構成するn形InAlAs層、76はショットキー層を構成するノンドープInAlAs層、77、78、79はキャップ層であり、各々n形InAlAs層(第一のキャップ層)、n形In(AlGa)As組成グレーディッド層(第二のキャップ層)、n形InGaAs層(第三のキャップ層)によって構成される。11S、11D、12は各々ソース電極、ドレイン電極、ゲート電極である。本実施例の特徴はn形InAlAsキャップ層77とn形InGaAsキャップ層79の界面にn形In(AlGa)As組成グレーディッド層78を挿入したことである。

【0026】このようなヘテロ接合FETは以下のように

9

10

にして作製される。(100) S. I. InP基板10* *上に例えば、MBE成長法により、

ノンドープInAlAs層71	…200nm、
ノンドープInGaAs層72	…40nm、
ノンドープInAlAs層73	…3nm、
Siプレーナドープ層74 (シート濃度 $5 \times 10^{12}/\text{cm}^2$)	
n形InAlAs層75 (不純物濃度 $2 \times 10^{18}/\text{cm}^3$)	…15nm、
ノンドープInAlAs層76	…20nm、
n形InAlAs層77 (不純物濃度 $5 \times 10^{18}/\text{cm}^3$)	…20nm、
n形In (Al _y Ga _{1-y})As層48 (y=1→0) (不純物濃度 $5 \times 10^{18}/\text{cm}^3$)	…5nm、
n形InGaAs層79 (不純物濃度 $5 \times 10^{18}/\text{cm}^3$)	…20nm、

を順次成長する。

【0027】次に、n形InGaAs層79上に例えばAuGe/Ni/Auなどの金属を蒸着することによりソース電極11Sとドレイン電極11Dを形成する。さらに、ソース電極11Sとドレイン電極11Dによって挟まれた領域には、例えば、EB露光法により形成したレジスタパターンをマスクとしてエピタキシャル層の一部をエッチング除去することによりノンドープInAlAs層76表面を露出し、例えばTi/Pt/Auなどの

※基板に格子整合するIn_{0.53}Ga_{0.47}Asであればよいが、例えば、InGaAsチャネル層や第三のキャップ層としてIn_{0.53+x}Ga_{0.47-x}As (-0.53<x<0.47) 歪層を採用してもよい。同様に、InAlAs層の結晶組成はInP基板に格子整合するIn_{0.52}Al_{0.48}Asであればよいが、これもIn_{0.52+z}Al_{0.48-z}As (-0.52<z<0.48) 歪層であってもよい。

【0032】

【発明の効果】以上の詳細な説明から明らかなように、本発明によれば、InAlAs/InGaAs系のヘテロ接合FETにおいてキャップ層をn形InAlAs層からなる第一のキャップ層、第二のキャップ層、n形InAlAs層からなる第三のキャップ層の三層構造とすることにより、キャップ層界面でのポテンシャルバリアを低下させることができ、シートキャリア濃度を低下させることなく接触抵抗率を減少し、寄生抵抗の低減、利得および雑音性能の更なる向上が可能になる。

【図面の簡単な説明】

【図1】本発明によるヘテロ接合FETの第一の実施例の構造図である。

【図2】本発明によるヘテロ接合FETの第一の実施例におけるポテンシャルバンド図である。

【図3】本発明によるヘテロ接合FETの第一の実施例における接触抵抗率のn形InAlAsキャップ層厚依存性である。

【図4】本発明によるヘテロ接合FETの第二の実施例の構造図である。

【図5】本発明によるヘテロ接合FETの第二の実施例におけるポテンシャルバンド図である。

【図6】本発明によるヘテロ接合FETの第二の実施例における接触抵抗率のn形InAlAsキャップ層厚依存性である。

【図7】本発明によるヘテロ接合FETの第三の実施例の構造図である。

【図8】本発明によるヘテロ接合FETの第三の実施例におけるポテンシャルバンド図である。

【図9】従来技術によるヘテロ接合FETの構造図であ

【0028】図8は本実施例のn形InGaAsキャップ層79とノンドープInAlAsバッファ層71の間における伝導帯プロファイルを示す。作用の項で述べたように、In (Al_yGa_{1-y})As層78 (第二のキャップ層)のAl組成比yは第一のキャップ層77から第三のキャップ層79に向かって1から0に徐々に減少されているので、伝導帯スパイクが存在せずポテンシャルバリアが更に低下するため、トンネル電流が極めて流れ易くなる。第二の実施例と同様に、シートキャリア濃度は従来構造とほぼ同等で、シート抵抗(r_s)もほぼ同等になる。これらのことから、本実施例では r_s を増加させることなくノンアロイオーミック接触における接触抵抗率(ρ_c)を一層低減でき、素子の寄生抵抗を低減できる。また、ノンドープInAlAs層76上にゲート電極を形成するためゲート耐圧も確保できる。

【0029】第三の実施例ではn形In (Al_yGa_{1-y})As層78の組成yを連続的に変化させたが、この層を複数のIn (Al_yGa_{1-y})As層として、組成yを段階的に変化させても同様の効果がある。

【0030】以上の実施例では、電流供給層としてSiプレーナドープ層を採用しているが、これを高不純物濃度のn形InAlAs層で置き換えてもよい。また、以上の実施例では第一のキャリア層として不純物濃度が一樣のn形InAlAs層を用いているが、これを少なくとも一層のSiプレーナドープ層を含むInAlAs層で置き換えてもよい。

【0031】また、InGaAs層の結晶組成はInP※50

る。

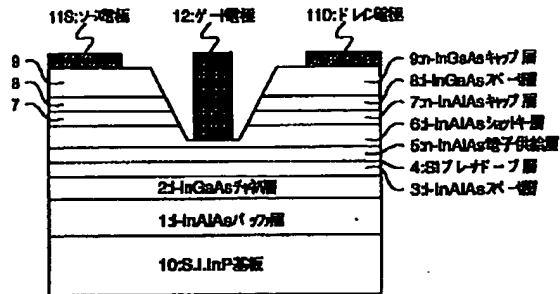
11

【図10】従来技術によるヘテロ接合FETにおけるポテンシャルバンド図である。

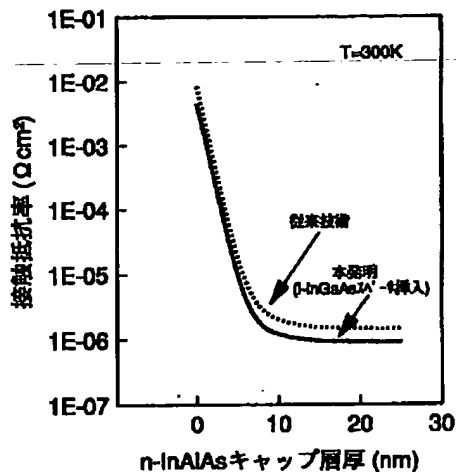
【符号の説明】

- 1、3、6、41、43、46、71、73、76、91、93、96 ノンドープInAlAs層
2、8、42、72、92 ノンドープInGaAs層
4、44、74、94 Siプレーナドーピング層

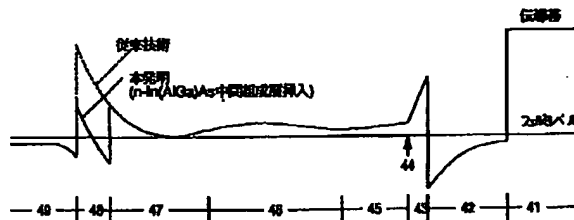
【図1】



【図3】



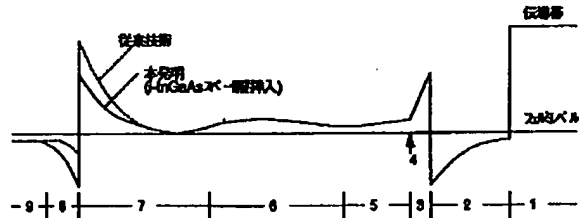
【図5】



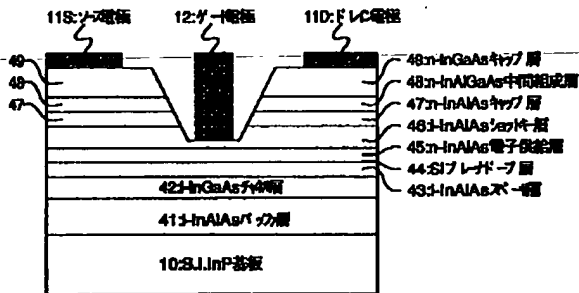
12

- 5、7、45、47、75、77、95、97 n形InAlAs層
9、49、79、99 n形InGaAs層
10 S. I. InP基板
11S、11D オーム性電極
12 ショットキー電極
48、78 n形InAlGaAs層

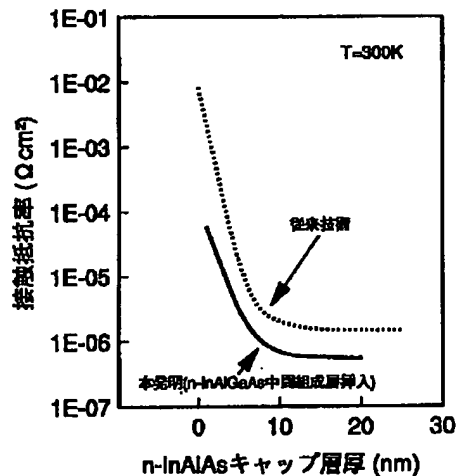
【図2】



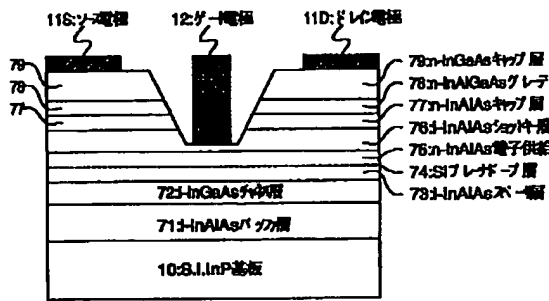
【図4】



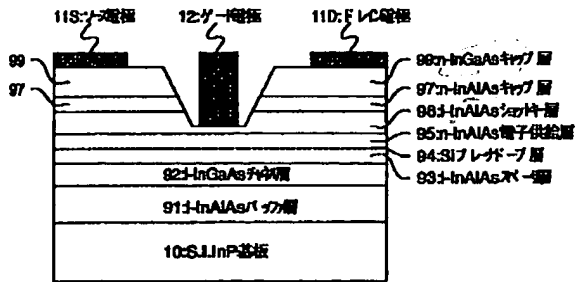
【図6】



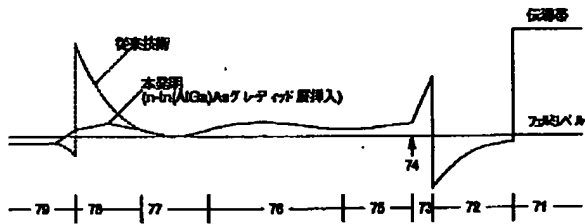
【図7】



【図9】



【図8】



【図10】

